

⑫ 公開特許公報(A) 平3-229221

⑤ Int. Cl.³

G 02 F 1/136

識別記号

5 0 0

庁内整理番号

9018-2H

⑬ 公開 平成3年(1991)10月11日

審査請求 未請求 請求項の数 1 (全7頁)

⑭ 発明の名称 液晶パネル

⑮ 特 願 平2-24631

⑯ 出 願 平2(1990)2月2日

⑰ 発 明 者 堀 川 剛 兵庫県尼崎市塚口本町8丁目1番1号 三菱電機株式会社
材料研究所内

⑱ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑲ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

液晶パネル

2. 特許請求の範囲

(1) ゲートラインと、ソースラインと、少なくとも一画面を置き換える間それぞれほぼ定電位に保たれる高電圧ラインおよび低電圧ラインと、上記ゲートラインにゲート電極が接続され上記ソースラインにソース電極が接続された画素選択トランジスタと、このトランジスタのドレイン電極にゲート電極が接続されドレイン電極が上記低電圧ラインに接続されたスイッチングトランジスタおよびこのスイッチングトランジスタのソース電極と上記高電圧ラインの間に接続された負荷トランジスタもしくはオーミック抵抗と、上記スイッチングトランジスタのソース電極に画素電極が接続され対向電極が上記高電圧ラインに近い電位に保持されている液晶素子とを備えた液晶パネル。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、平面ディスプレイ等に用いられる液晶セルに関するものである。

〔従来の技術〕

第4図は、例えば特開平1-200231に示された従来のアクティブマトリックス型の液晶パネルの画素の構成例を示す。第4図は、薄膜トランジスタを用いた液晶パネルの一画素の等価回路で、(2)はゲートライン、(5)はソースライン、(40)は画素選択トランジスタで、(21)はゲート電極、(51)はソース電極、(61)はドレイン電極である。(10)は一画素を形成する液晶素子で、(7)は画素電極、(8)は液晶層、(9)は対向電極である。なお、画素選択トランジスタ(40)は薄膜トランジスタが用いられることが多い。

この従来のアクティブマトリックス型の液晶パネルは、画素選択トランジスタ(40)のゲート電極(21)はゲートライン(20)に、ソース電極(51)はソースライン(50)に、信号出力端であるドレイン電極(61)は、画素電極(7)に接続されており、ゲートライン(2)が選択されている間、画素電極

(7) はソース電極(51)の電位 V_s にはほぼ等しい電位になる。液晶層(8)は、対向電極(9)と画素電極(7)に挟まれており、画素電極(7)の電位 V_{out} の高低に応じて、二つの電極の電位差による電気光学効果を示す。

第5図は、液晶パネルを駆動する際のタイミングチャートで、第5図(a)は、ゲート電極の電位 V_g 、同図(b)はソース電極の電位 V_s 、同図(c)は画素電極の電位 V_{out} 、同図(d)は液晶層の透過率 T_{lc} を示す。

つぎに、この従来例の動作を説明する。

一フレームの書き替えの間、第5図(a)に示す選択パルスによって、ゲートライン(20)が順次選択されてゆく。各画素のドレイン電極(51)と画素電極(7)の電位 V_{out} には、ゲートライン(20)が選択されているときのソース電極(51)の電位 V_s 、

(第5図(b)図示)が書き込まれ(第5図(c))、次の信号書き込みまでの間、この画素電極(7)の電位が保たれていると、液晶層(8)の透過率 T_{lc} (第5図(d)図示)は一フレームの間一定

[課題を解決するための手段]

この発明に係る液晶パネルでは、液晶パネルのアレイ基板上に、ゲートラインとソースラインの他に、高電圧ラインと低電圧ラインとを設けるとともに、各画素に画素選択トランジスタの出力を入力とする上記高圧ラインと低圧ラインとの間に接続されたインバータ回路を設け、このインバータ回路の出力電圧を液晶素子の画素電極に印加するようにした点を特徴とする。

[作用]

この発明における液晶パネルでは、画素選択トランジスタの出力に応じて、画素電極電位が次の信号入力までの間、高電圧ライン電位または低電圧ライン電位に保たれるので、液晶層を通じての過渡電流や画素選択トランジスタや液晶層のリーク等による画素電極電位の変動をさけることができ、ちらつきのない良好な二値表示を実現できる。

[発明の実施例]

以下、この発明の一実施例を図について説明す

で、ちらつきのない表示動作が行なわれる。

[発明が解決しようとする課題]

従来の液晶パネルは、以上のように構成されていたので、ゲート選択時間の間に画素電極に所要の電荷を貯えても、フレーム書き換え時間の間における液晶層を通じての過渡電流やトランジスタや、液晶のリーク等による電荷の放逸のため、液晶層にかかる電圧が低下し、ちらつきが生じるといった問題点があった。

この問題点を解決するため、従来画素電極前段のゲート電極の間に、保持容量を設ける等の方策がとられるが、液晶層の抵抗値が小さい場合には、かなり大きな保持容量を設けて液晶印加電位の低下を防ぐ必要があり、それが開口率の低下をもたらすという問題点が生じていた。

この発明は、上記のような問題点を解消するためになされたもので、抵抗値の小さな液晶材料を用いた場合でも、本質的にちらつきがなく、良好な二値表示を行なえる液晶パネルを得ることを目的とする。

第1図は、この実施例の液晶パネルの一画素内の構成を等価回路で示した図で、(500)はスイッチングトランジスタ、(600)は負荷トランジスタで、各トランジスタはいずれもnチャンネルのエンハンスメント型のものである。(21)、(22)、(23)は各トランジスタ(400)、(500)、(600)のゲート電極、(51)、(52)、(53)は各トランジスタのソース電極、(61)、(62)、(63)は各トランジスタのドレイン電極、(20)は高電圧ライン、(30)は低電圧ラインで、高電圧ライン(20)、低電圧ライン(30)、スイッチングトランジスタ(50)および負荷トランジスタ(60)によって、インバータ回路(70)が形成されている。(90)は負荷容量で、画素選択トランジスタ(40)のドレイン電極(61)は、負荷容量(90)およびインバータ回路(70)の入力端に接続されている。インバータ回路(70)は、nチャンネルのエンハンスメント型トランジスタ二個からなるいわゆるN E L S型の回路であって、スイッチングトランジスタ(50)のドレイン電極(62)は低電圧ライン(30)に、ソース電極(52)は負荷トランジスタ

(60)のソース電極(53)に接続され、負荷トランジスタ(60)のゲート電極(23)およびドレイン電極(63)は高電圧ライン(20)に接続され、インバータ回路(70)の出力端は画素電極(7)に接続されており、画素電極(7)の電位は、インバータ回路(70)の入力電位の高低に応じて、低電圧ライン(30)の電位 V_L 、または、高電圧ライン(20)の電位 V_H のいずれかの電位に保たれる。

第2図は、この実施例の液晶パネルを駆動する際のタイミングチャートを示した図で、第2図(a)、ゲート電極電位 V_G 、同図(b)はソース電極電位 V_S 、同図(c)はドレイン電極の電位 V_{DN} 、同図(d)は画素電極の電位 V_{OUT} 、同図(e)は液晶層の透過率 T_{LC} を示す。

次に、この実施例の動作を説明する。

ある画素を選択する場合、その画素選択トランジスタ(40)が接続されているゲートライン(2)が選択されているときは、当該画素選択トランジスタ(40)が接続されているソースライン(5)の電位 V_S を高電位とする。これによって、次のゲート

られる半導体材料が使用できる。

また、アレイを形成する基板としては、ガラス基板が一般的であるが、結晶シリコン等の半導体結晶基板を用いることもできる。この場合、薄膜トランジスタの代わりに、MOSトランジスタを基板内に作りこんでアレイ基板とすることもできる。さらに、トランジスタとしては、pチャネルやディプレッション型のものを用いてもインバータ回路の構成を適宜選択することで、同様の効果が期待できる。

さらに、上記実施例では、インバータ回路の負荷トランジスタをオーミック抵抗等に置き換えてもよく、さらに、低電圧ラインとして、一段前のゲートラインを用いても、その効果はほとんど変わらない。さらに、低電圧ラインおよび高電圧ラインは、表示面全体を覆う導電膜として構成することもできる。

また、その駆動動作においては、低電圧源と高電圧源を異なる電位とし、その電位をほぼ一フレーム時間の間保つことが重要であり、その他の

選択時まで、インバータ回路(70)の入力 V_{IN} は、高電位に保たれ、インバータ回路(70)の出力 V_{OUT} は、 V_L に近い値となり、対向電極(9)の電位 V_{COO} を V_H に等しい電位に設定すれば、液晶印加電圧 $V_{LC} = V_{OUT} - V_{COO}$ は、ほぼ $V_L - V_H$ となり、液晶素子(10)に書き込むことができる。

他方、選択しない画素に接続されているゲートライン(2)が選択されているときは、そのソースライン(5)の電位 V_S を低電位とする。これによって、次のゲート選択時まで、インバータ入力 V_{IN} が低電位に保たれ、インバータの出力 V_{OUT} は、 V_H に近い値となる。したがって V_{LC} は、ほぼ0Vとなり、その画素を非選択状態にすることができる。

なお、上記実施例では、各画素を構成する薄膜トランジスタとして、nチャネルのエンハンスメント型の薄膜トランジスタを用いたが、その能動層には、アモルファスシリコン膜、多結晶シリコン膜やCdS膜等の液晶パネルにしばしば用い

電位の高低やその印加のタイミングは、液晶の物性や、アレイ回路の特性に応じてさまざまに変更してさしつかえない。

また、第1図に示した実施例の液晶パネルを用いて、強誘電性液晶のアクティブマトリックス法による駆動を行なうことができる。

第3図はこの駆動動作時のタイミングチャートで、第3図(a)はゲート電極の電位 V_G 、同図(b)はソース電極の電位 V_S 、同図(c)はインバータ入力電位 V_{IN} 、同図(d)は高電圧ライン電位 V_H 、同図(e)は低電圧ライン電位 V_L 、同図(f)は液晶素子印加電圧 V_{LC} 、同図(g)は液晶層の透過率 T_{LC} を示している。

液晶層(8)は、バイポーラバルス、または、単純矩形パルスで分極反転を生じ、かつ、メモリ性の良好な強誘電性液晶(以下、「 FLC」という)で構成する。ここでは、バイポーラバルスによる駆動について例を示す。駆動にあたっては、まず、位相容量(90)に画素データを書き込む間(第3図中のA期間)、 V_H と V_L を V_{COO} には

ば同じ電位 V_{com} に設定する。したがって、この場合は、画像データの値に関係なく、各画素で $V_{in} \sim 0V$ となり、各画素の液晶素子(10)は、前フレームの表示状態を保持している。

つぎに、画像データの書込がおわったのち、 V_{in} と V_{in} に F L C の分極反転が生じる程度の消去パルスを加する(第4図中のB期間)。これによって、画像データの値に関係なく、各画素の液晶素子(10)のメモリ状態の消去が行なわれる。

つぎに、 V_{in} のみに F L C の分極反転が生じる程度の書込パルスを加する(第4図中のC期間)。この時の F L C の応答は、各画素のインバータ入力電位 V_{in} 、つまり書き込まれた画像データの値により異なる。インバータへの入力電位が低いときは、 $V_{out} \rightarrow V_{in}$ となり、 V_{in} への書込パルスの印加にしたがって、画素電極(7)へのパルスの書込が行なわれて、F L C の分極反転が生じる。他方、インバータへの入力電位が高いときは、 $V_{out} \rightarrow V_{in}$ ($= V_{com}$) となり、F L C の分極反転は生じない。これによって、液

晶パネルのちらつきのない二値表示動作を実現できる。

(発明の効果)

以上のように、この発明は、画素選択トランジスタの出力を入力とし、高電圧ラインと低電圧ラインの間に接続されたスイッチングトランジスタと負荷とで構成されたインバータ回路を設け、このインバータ回路の出力を液晶素子の画素電極に印加して一フレーム時間のほとんどの間、その電位を一定に保つようにしたものであるから、液晶の誘電緩和や薄膜トランジスタの漏れ電流による画素電位の低下等に起因するちらつきがなく、良好な二値表示が可能な液晶パネルが得られる効果がある。

4. 図面の簡単な説明

第1図は、この発明の一実施例による液晶パネルの一画素の構成を示す等価回路、第2図はこの実施例のタイミングチャート、第3図はこの実施例の他の駆動動作時のタイミングチャート、第4図は従来の液晶パネルの一画素の等価回路図、

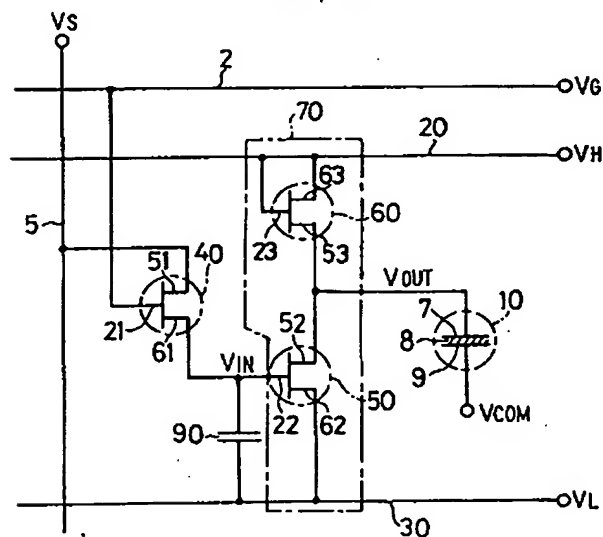
第5図はこの従来例のタイミングチャートである。

(2)…ゲートライン、(21)、(22)、(23)…ゲート電極、(5)…ソースライン、(51)、(52)、(53)…ソース電極、(61)、(62)、(63)…ドレイン電極、(7)…画素電極、(8)…液晶層、(9)…対向電極、(10)…液晶素子、(20)…高電圧ライン、(30)…低電圧ライン、(40)…画素選択トランジスタ、(50)…スイッチングトランジスタ、(60)…負荷トランジスタ、(70)…インバータ回路である。

なお、図中、同一符号は同一、または、相当部分を示す。

代理人 大岩増雄

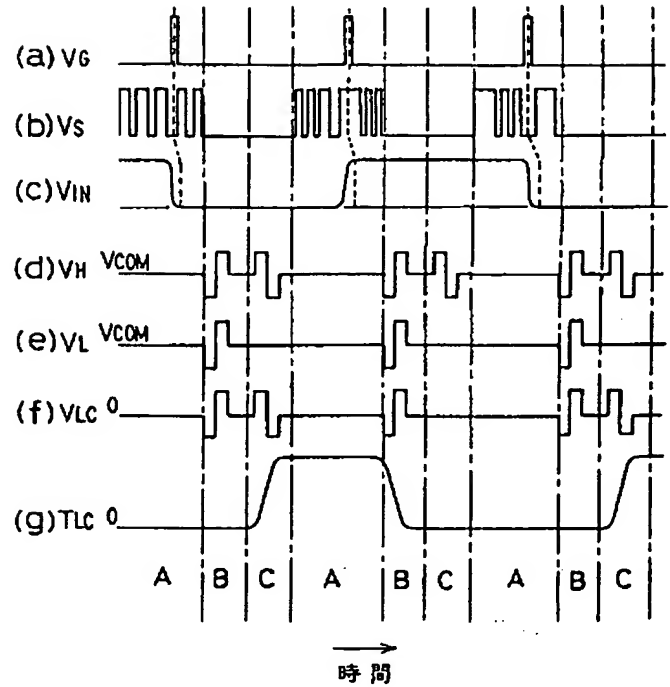
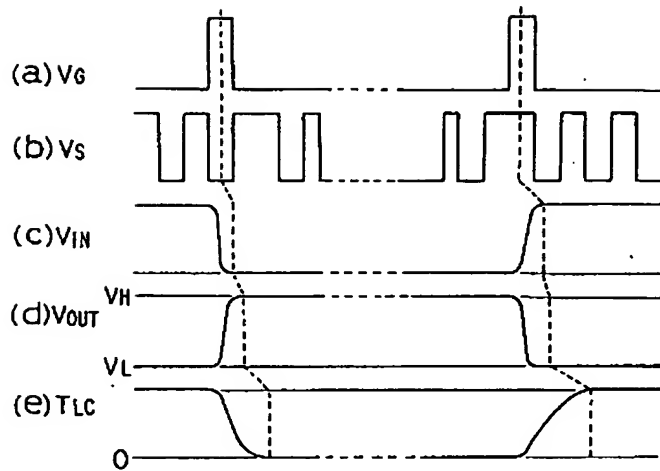
第1図



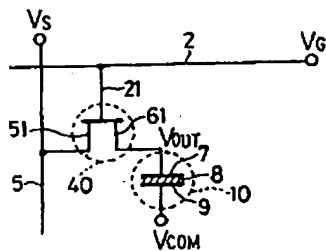
- | | |
|----------------|-----------------|
| 2:ゲートライン | 30:低電圧ライン |
| 21,22,23:ゲート電極 | 40:画素選択トランジスタ |
| 5:ソースライン | 50:スイッチングトランジスタ |
| 7:画素電極 | 51,52,53:ソース電極 |
| 9:対向電極 | 60:負荷トランジスタ |
| 10:液晶素子 | 61,62,63:ドレイン電極 |
| 20:高電圧ライン | |

第3図

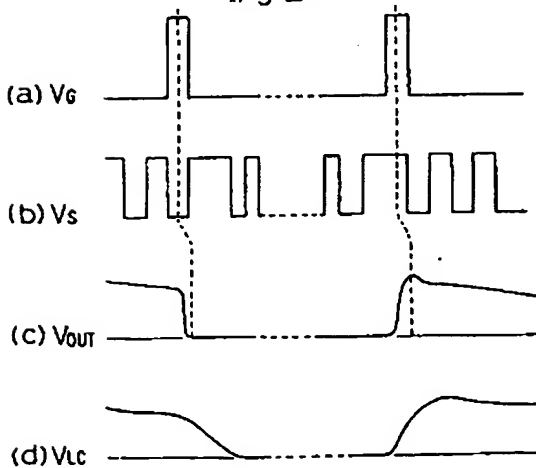
第2図



第4図



第5図



手続補正書 (自発)
平成
昭和 年 月 日
2 6 25

特許庁長官殿

1. 事件の表示

特願昭 2-024631号

2. 発明の名称

液晶パネル

3. 補正をする者

事件との関係 特許出願人
住所 東京都千代田区丸の内二丁目2番3号
名称 (601) 三菱電機株式会社
代表者 志岐守哉

4. 代理人

住所 東京都千代田区丸の内二丁目2番3号
氏名 (7375) 弁理士 大岩増雄
(連絡先 03(213)3421特許部)



5. 補正の対象

明細書の「特許請求の範囲」、「発明の詳細な説明」および「図面の簡単な説明」の各欄ならびに図面

6. 補正の内容

A. 明細書:

(1) 特許請求の範囲を別紙の通り補正します。

(2) 第5頁第6行目:

「高圧ラインと低圧ラインとの間に」とあるを「高圧ラインおよび低圧ラインに」と訂正します。

(3) 第6頁第2行目:

「(500)」とあるを「(50)」と訂正します。

(4) 第6頁第3行目:

「(600)」とあるを「(60)」と訂正します。

(5) 第6頁第6行目:

「(400), (500), (600)」とあるを「(40), (50), (60)」と訂正します。

(6) 第9頁下から3行目ないし下から2行目:

「低電圧源と高電圧源を」とあるを「低電圧ラ

インと高電圧ラインを」と訂正します。

(7) 第10頁第6行目:

「駆動」とあるを「高速駆動」と補正します。

(8) 第12頁第1行目:

「パネルの」のつぎに「高速動作および」を加入します。

B. 図面:

(1) 第1図の符号(70)、および(90)の名称を追加するため同図を別紙の通り再提出します。

(2) 第5図(d)の名称「V_{cc}」を「T_{cc}」に訂正するため、同図を別紙の通り再提出します。

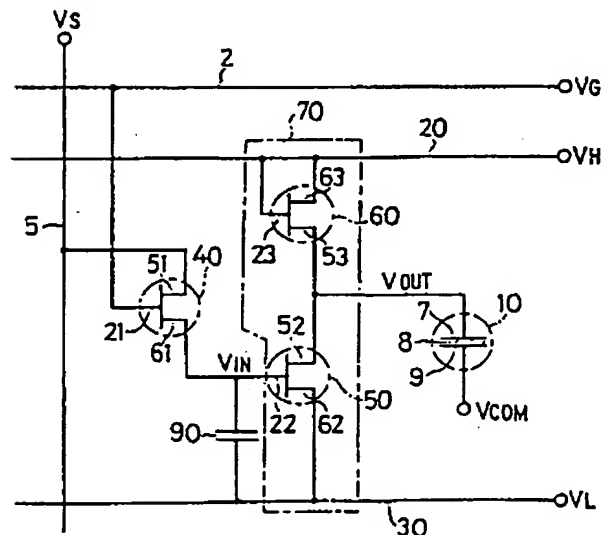
以上

別紙

補正後の特許請求の範囲

「(1) ゲートラインと、ソースラインと、少なくとも一画面を書き換える間それぞれほぼ定電位に保たれる高電圧ラインおよび低電圧ラインを備えたいわゆるアクティブマトリックス型の液晶パネルであって、各画素ごとに上記ゲートラインにゲート電極が接続され上記ソースラインにソース電極が接続された画素選択トランジスタと、このトランジスタのドレイン電極にゲート電極が接続されドレイン電極が上記低電圧ラインに接続されたスイッチングトランジスタおよびこのスイッチングトランジスタのソース電極と上記高電圧ラインの間に接続された負荷トランジスタもしくはオーミック抵抗と、上記スイッチングトランジスタのソース電極に画素電極が接続され対向電極が上記高電圧ラインに近い電位に保持されている液晶素子とを備えた液晶パネル。」

第1図



- | | |
|----------------|-----------------|
| 2:ゲートライン | 40:画素選択トランジスタ |
| 21,22,23:ゲート電極 | 50:スイッチングトランジスタ |
| 5:ソースライン | 51,52,53:ソース電極 |
| 7:画素電極 | 60:負荷トランジスタ |
| 9:対向電極 | 61,62,63:ドレイン電極 |
| 10:液晶素子 | 70:インバータ回路 |
| 20:高電圧ライン | 90:負荷容量 |
| 30:低電圧ライン | |

第5図

